

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平2-272929

⑫ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)11月7日

H 04 L 1/08

8732-5K

審査請求 未請求 請求項の数 3 (全4頁)

⑭ 発明の名称 多数決符号化復号化方式、その方式における符号化器及び復号化器

⑮ 特 願 平1-93050

⑯ 出 願 平1(1989)4月14日

⑰ 発 明 者	川 辺	学	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発 明 者	佐 藤	拓 朗	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発 明 者	加 藤	俊 雄	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 出 願 人	沖電気工業株式会社			東京都港区虎ノ門1丁目7番12号
⑰ 代 理 人	弁理士 山本 恵一			

#### 明 細 書

##### 1. 発明の名称

多数決符号化復号化方式、その方式における符号化器及び復号化器

##### 2. 特許請求の範囲

(1)多数決符号化復号化方式を用い、同一データを複数回送るデジタルデータ通信システムにおいて、

対応するデータを一定間隔で遅延させるためのシフトレジスタ群を有することを特徴とする多数決符号化復号化方式における符号化器。

(2)多数決符号化復号化方式を用い、同一データを複数回送るデジタルデータ通信システムにおいて、

一定間隔おきに受信したデータを同時に出力するシフトレジスタ群と、

複数回送られてきたデータの多数決を取る多数決論理回路とを有することを特徴とする多数決符号化復号化方式における復号化器。

(3)多数決符号化復号化方式を用い、同一データ

を複数回送るデジタルデータ通信システムにおいて、

送信側符号化器が、

対応するデータを一定間隔で遅延させるための第1のシフトレジスタ群を有し、

受信側復号化器が、

一定間隔おきに受信したデータを同時に出力する第2のシフトレジスタ群と、

複数回送られてきたデータの多数決を取る多数決論理回路とを有することを特徴とする多数決符号化復号化方式。

##### 3. 発明の詳細な説明

(産業上の利用分野)

本発明はデータ通信、特にランダム性誤り、バースト性誤りの双方が頻発する回線のデータ通信における多数決符号化復号化方式に関する。

(従来の技術)

従来、この種の方式は特開昭63-164533号公報に開示されるものがあり、当該従来の方式を図面に基づいて以下説明する。

BEST AVAILABLE COPY

第3図は従来の多数決符号化復号化方式を用いたデータ通信システムを示すブロック図である。同図において、31はデータ送信器、32は符号化器、33は通信路、34は復号化器、35はデータ受信器である。この従来のデータ通信システムにおいて、データ送信器31から符号化器32に入力されたデータは予め定められた長さのフレームにフレーム化され、誤り検出符号で符号化されて、その符号化されたものを1フレームとして通信路33に複数回送信される。復号化器34では受信した複数のフレームについてそれぞれ誤り検出符号の復号化が行なわれる。誤りの検出されないフレームがあれば、正しいデータとしてデータ受信器35に送られる。全てのフレームに誤りが検出されたときは全フレームの対応するビットの多数決を取り新たに1つのフレームとする。新たに生成されたフレームは誤り検出符号の復号化が行なわれ、誤りが検出されなければ、正しいデータとしてデータ受信器35に送られる。

(発明が解決しようとする課題)

側符号化器に、対応するデータを一定間隔で遅延させるための第1のシフトレジスタ群を有し、受信側復号化器に、一定間隔おきに受信したデータを同時に出力する第2のシフトレジスタ群と、複数回送られてきたデータの多数決を取る多数決論理回路とを有することに特徴がある。

(作用)

以上のような構成を有する本発明によれば、符号化器に入力されたデータは第1のシフトレジスタ群に入力される。各シフトレジスタでは入力がある毎に1段ずつシフトされて出力される。従って、同一データは一定のビットおきに符号化器から出力される。そして、復号化器に入力された受信データは順に第2のシフトレジスタ群の各シフトレジスタに入力される。各シフトレジスタでは入力がある毎に1段ずつシフトし、最後段のデータが多数決論理回路に入力される。従って、一定のビットおきに入力された受信データは同じタイミングで多数決論理回路に入力され多数決論理化によって誤り訂正される。

しかしながら、従来の方式では受信側で予めフレーム長を認識しておかなければ正しく多数決を取ることができないので可変フレームに適用できないという問題点があった。また、同期ビットを挿入し、フレームを識別する方法も考えられるが、品質の悪い回線では同期ビットに誤りが頻発しフレームに識別ができず多数決を取ることができない。また、同じビットを続けて複数回送信する方法も考えられるが、バースト性誤りの発生する回線では多数決を取っても正しく復号することができないという問題点があった。

本発明はこれらの問題点を解決するためのもので、可変長フレームに適用可能で、ランダム性誤り、バースト性誤りの双方が発生する回線に適用可能な多数決符号化復号化方式を提供することを目的とする。

(課題を解決するための手段)

本発明は前記問題点を解決するために、多数決符号化復号化方式を用い、同一データを複数回送るデジタルデータ通信システムにおいて、送信

従って、本発明は前記問題点を解決でき、可変長フレームに適用可能で、ランダム性誤り、バースト性誤りの双方が発生する回線に適用可能な多数決符号化復号化方式を提供できる。

(実施例)

以下、本発明の一実施例を図面に基づいて説明する。

第1図は本発明の一実施例における符号化器を示すブロック図であり、また第2図は本実施例における復号化器を示すブロック図である。第1図において、11は符号化器入力端子、12-1、...、12-4、13-1、...、13-3、14-1、14-2、15-1は $m$  ( $m$ は正の整数である)段シフトレジスタ、16は並列直列変換器、16-1、...、16-5は並列直列変換器16の入力端子、17は符号化器出力端子である。第2図において、21は復号化器入力端子、22は直列並列変換器、22-1、...、22-5は直列並列変換器22の出力端子、23-1、24-1、24-2、25-1、...、25-3、26-1、...、26-4は $m$ ビットシフトレジスタ、27は3-5多数決論理回路、28は復号化器出力端子である。

特開平2-272929 (3)

次に、本実施例の動作を第1図及び第2図に基づいて説明する。

はじめに、第1図の符号化器における動作について説明する。先ず、入力端子11より符号化器に入力されたデータは、シフトレジスタ12-1, 13-1, 14-1, 15 及並列直列変換器16に入力される。各シフトレジスタでは入力がある毎に1段ずつシフトし、最後段のデータが並列直列変換器16に入力される。並列直列変換器16では、入力されたデータが入力端子16-5, 16-4, ..., 16-1の順に符号化器出力端子17に送られる。従って、同一データは $m$ ビットおきに並列直列変換器16に入力され、 $(5m+1)$ ビットおきに符号化器出力端子17に出力される。

そして、第2図の復号化器における動作は次のように行なわれる。先ず、復号化器入力端子21より入力された受信データは、直列並列変換器22に入力され、出力端子22-5, 22-4, ..., 22-1の順に出力される。各シフトレジスタでは入力がある毎に1段ずつシフトし、最後段のデータが多数決論理回路27に入力される。従って、 $(5m+1)$ ビットおき

に復号化器入力端子21より入力された受信データは同じタイミングで多数決論理回路27に入力され多数決論理化によって誤り訂正される。

(発明の効果)

以上説明したように、本発明によれば、同一データを所定のビット間隔で送信しているためバースト性誤りの発生する回線にも適用可能である。また、データをフレーム化していないので、可変長のデータを送ることが可能である。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例における符号化器を示すブロック図、第2図は本実施例における復号化器を示すブロック図、第3図は従来の多数決符号化復号化方式を用いたデータ通信システムを示すブロック図である。

- 11... 符号化器入力端子、
- 12-1~12-4, 13-1 ~ 13-3, 14-1, 14-2, 15-1  
...  $m$  段シフトレジスタ、
- 16... 並列直列変換器、

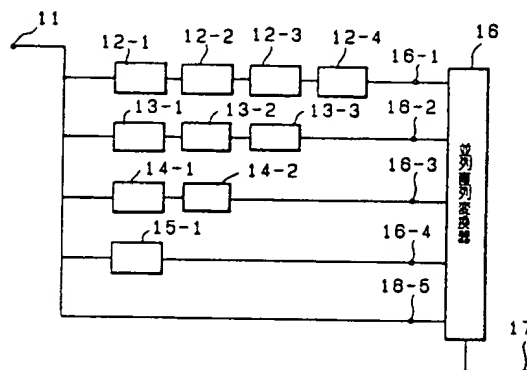
- 16-1~16-5... 入力端子、
- 17... 符号化器出力端子、
- 21... 復号化器入力端子、
- 22... 直列並列変換器、
- 22-1~22-5... 出力端子、
- 23-1, 24-1, 24-2, 25-1 ~ 25-3, 26-1~26-4  
...  $m$  ビットシフトレジスタ、
- 27... 3 - 5 多数決論理回路、
- 28... 復号化器出力端子。

特許出願人

沖電気工業株式会社

特許出願代理人

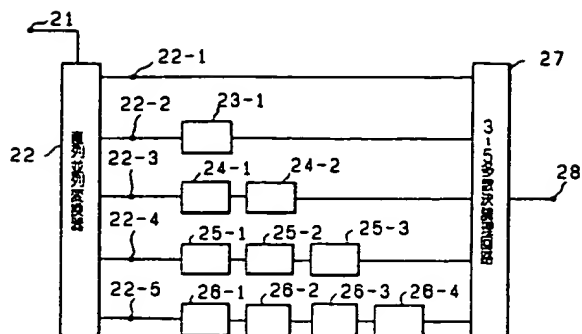
弁理士 山本 恵一



- 11: 符号化器入力端子
- 12-1~12-4, 13-1~13-3, 14-1, 14-2, 15-1:  $m$  段シフトレジスタ
- 16-1~16-5: 入力端子
- 17: 符号化器出力端子

本発明における符号化器

第1図



21:復号化入力端子  
22-1~22-5:出力端子  
23-1, 24-1, 24-2, 25-1~25-3, 26-1~26-4:mビットシフトレジスタ  
28:復号化出力端子

本発明における復号化器

第2図



33:通信路

従来の多数決符号化復号化方式によるデータ通信システム

第3図